**Bitácora Trabajo Individual y en equipo**

Este instrumento tiene como fin sistematizar el trabajo individual y en equipo para el logro de los objetivos propuestos según el proyecto a realizar. El equipo de trabajo deberá completar la información según el siguiente formato, para cada una de las sesiones de trabajo. Las sesiones de trabajo pueden ser programadas según las posibilidades de cada grupo.

En cada proyecto se debe asignar un rol para cada integrante, el cual debe cambiar en cada proyecto. A continuación se describen los roles:

**Coordinación**: Coordina y orienta el desarrollo de la actividad, se encarga de entregar el producto final del proyecto. Se preocupa por mantener el interés del equipo y que se asuman las responsabilidades individuales y grupales.

**Secretariado**: Responsable de recopilar, sistematizar y consolidar los aportes para la construcción del trabajo colaborativo. Se encarga de completar la minuta y enviarla al equipo para su aprobación.

**Fiscal**: Responsable de conseguir y proponer materiales y herramientas pertinentes para nutrir el trabajo colaborativo. Controla el desarrollo de las actividades conforme el cronograma establecido dentro de las fechas propuestas.

Nota: Si hay más de 3 integrantes por equipo, el cuarto miembro asume rol de fiscal.

En el documento debe anotar la descripción y resumen de la sesión: actividades realizadas, circuitos a diseñar/simular/armar/verificar, resultados previos y finales, problemas encontrados, distribución de tareas, acuerdos, entre otros que consideren necesarios.

**I. Información general**

Grupo No. 1. Proyecto No. 5. Fecha: 09/19/2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 1.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Jorge Agüero |

**II. Minuta**

Objetivos de la sesión

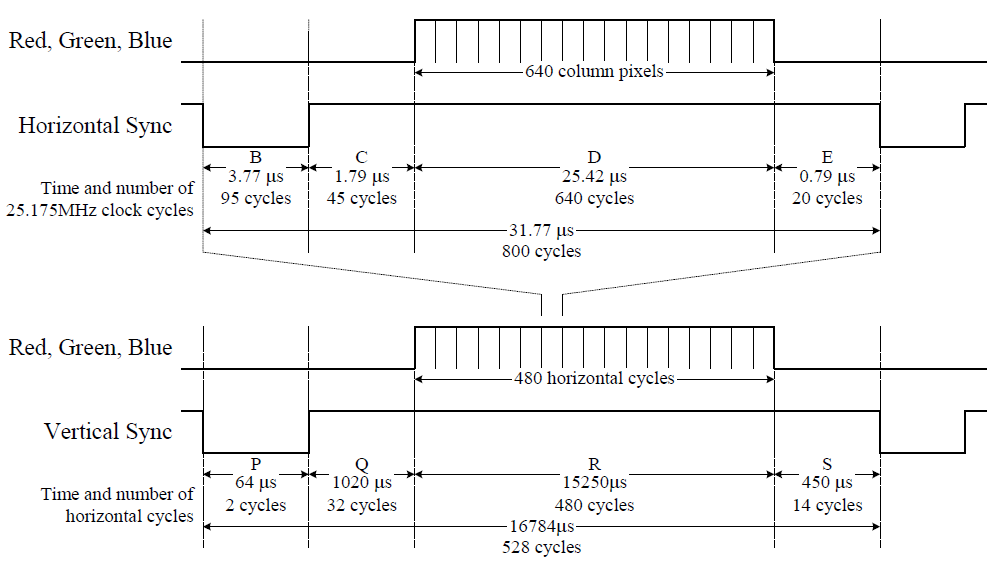
1. Lectura y análisis del laboratorio.
2. Comenzar con la investigación del laboratorio.

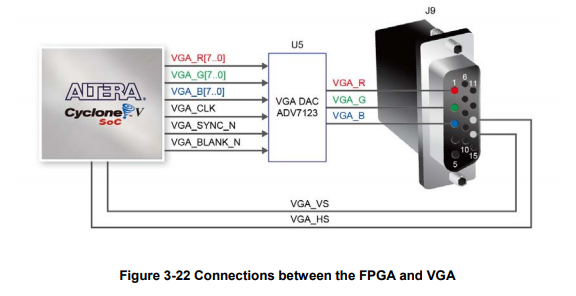
El compañero Jorge no se pudo presentar debido a los bloqueos presentes por la huelga.

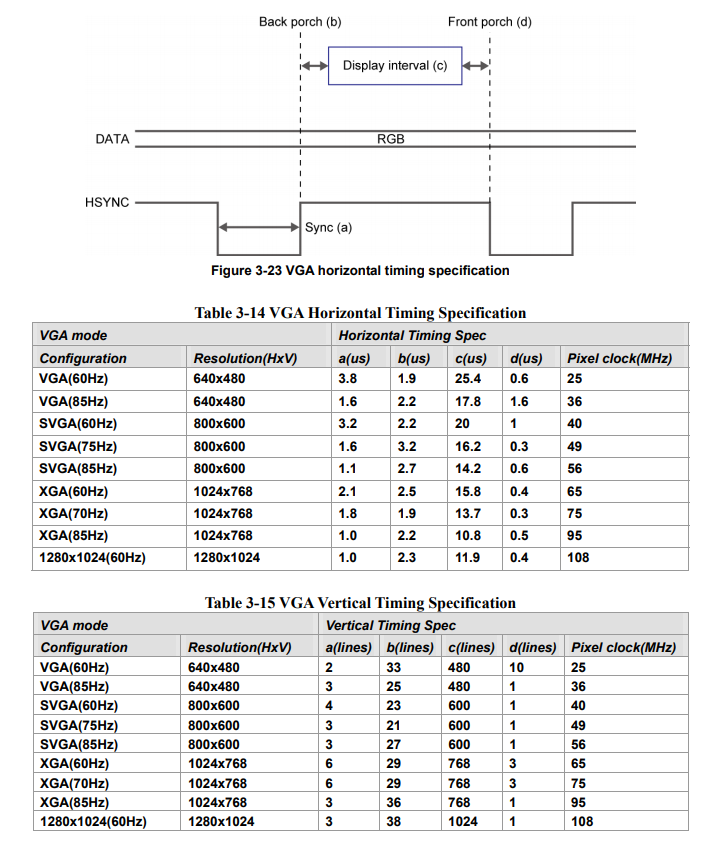
Se leyó y analizó la especificación del laboratorio. Seguidamente se comenzó con la investigación donde se determinó que Normalmente un controlador VGA está controlado por 5 señales, rojo, verde, azul, sincronización horizontal y sincronización vertical. Los pixeles de las señales son barridos de izquierda a derecha en cada fila y contabilizando las filas de arriba hacia abajo.

Las tres señales de color hacen referencia a una señal de tipo RGB y controlan el color de un píxel en una ubicación dada de la pantalla. Estas son señales análogas, con voltajes entre 0.7 V y 1 V. Diferentes intensidades de colores se logran variando este voltaje. Sin embargo por simplicidad del circuito, estas señales se pueden tratar como señales digitales, con lo que se podrá simplemente apagar o encender la señal. Con estas 3 señales el circuito es capaz de representar 8 colores ().

Las señales de sincronización vertical y horizontal son utilizadas para controlar el tiempo de la tasa de escaneo, estas dos señales a diferencia de las de color son señales digitales, en otras palabras toman valores de 0 o 1 lógicos. La señal de sincronización horizontal determina el tiempo que toma escanear un “row” mientras que la señal de sincronización vertical determina el tiempo que toma escanear la pantalla entera.







Grupo No. 1. Proyecto No. 5. Fecha: 09/21/2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea (X)

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Jorge Agüero |

**II. Minuta**

Objetivos de la sesión

1. Corregir los tiempos para las frecuencias de H\_Sync y V\_Sync dada la frecuencia de 25 MHz.
2. Comenzar con los diagramas de diseño modular del proyecto.

Los compañeros Jorge y Luis no se pudieron presentar por motivos de gran importancia, sin embargo más tarde se unieron de forma virtual.

Se re-calcularon las frecuencias de acuerdo a los valores de tiempos presentados en la hoja de datos de la FPGA para un controlador VGA.

**Cantidad de ciclos para el tiempo horizontal:**

A:

B:

C:

D.

total de ciclos=793

**Frecuencia HSync**

**Cantidad de ciclos para el tiempo vertical:**

/ciclos de Hsync

A:

/2

B:

/38

C:

/31-32

D.

/10

**Frecuencia VSync:**

Se comenzaron los diagramas de diseño modular del proyecto.

## Primer nivel



## Segundo nivel

## 

Grupo No. 1. Proyecto No. 5. Fecha: 09/26/2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 3.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea (X)

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

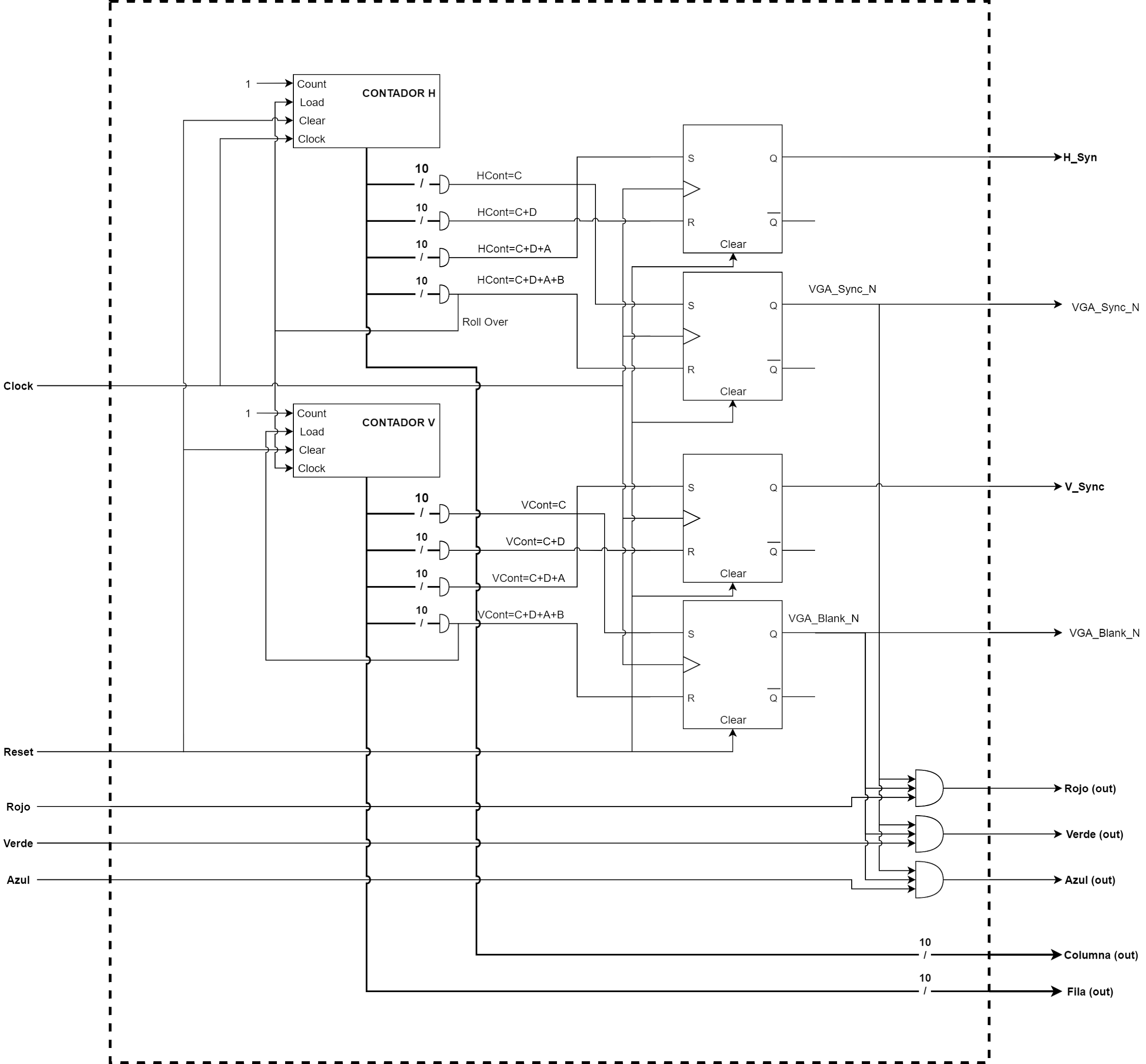
|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Agüero |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Arturo Chinchilla Sánchez |

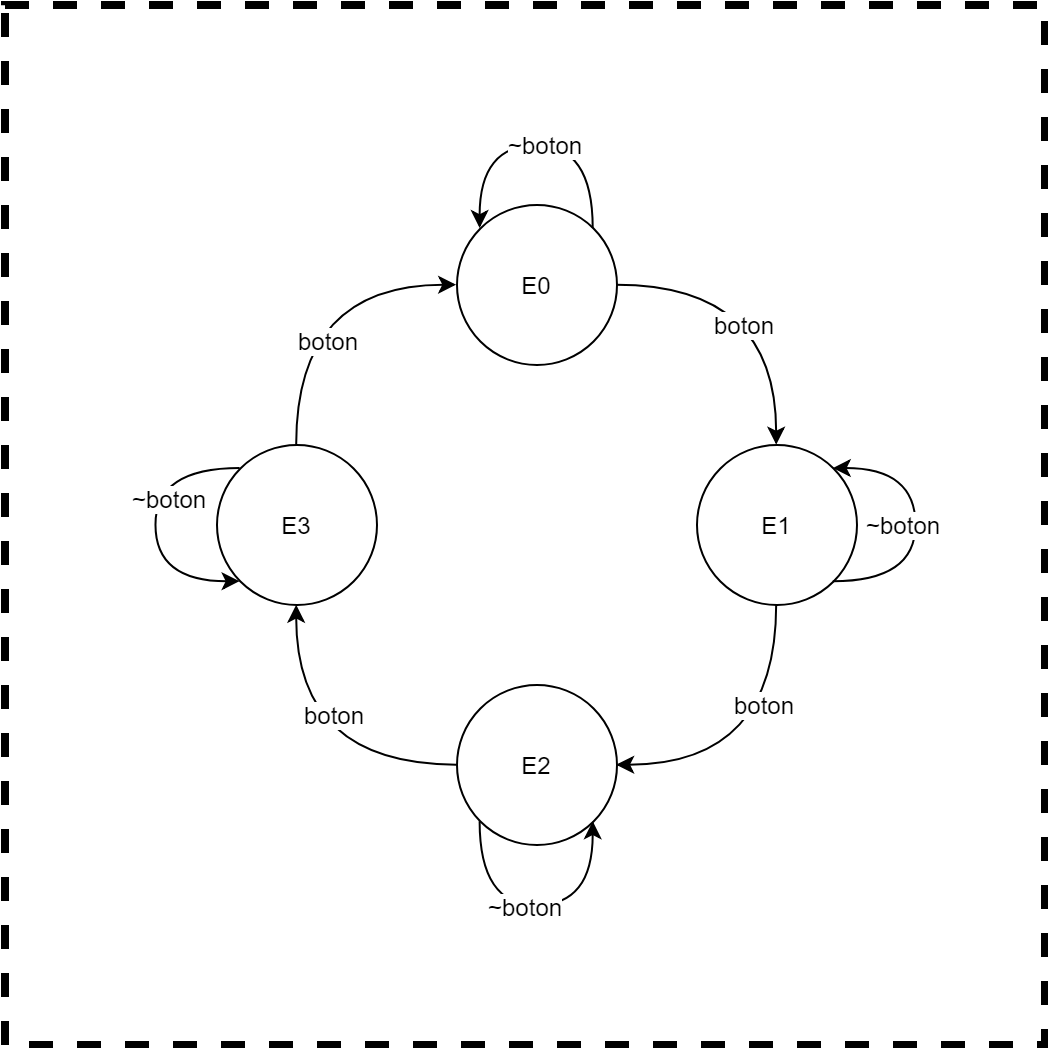
**II. Minuta**

Objetivos de la sesión

1. Terminar los diagramas de diseño modular del proyecto.
2. Comenzar con la descripción de los módulos del hardware para el sistema.

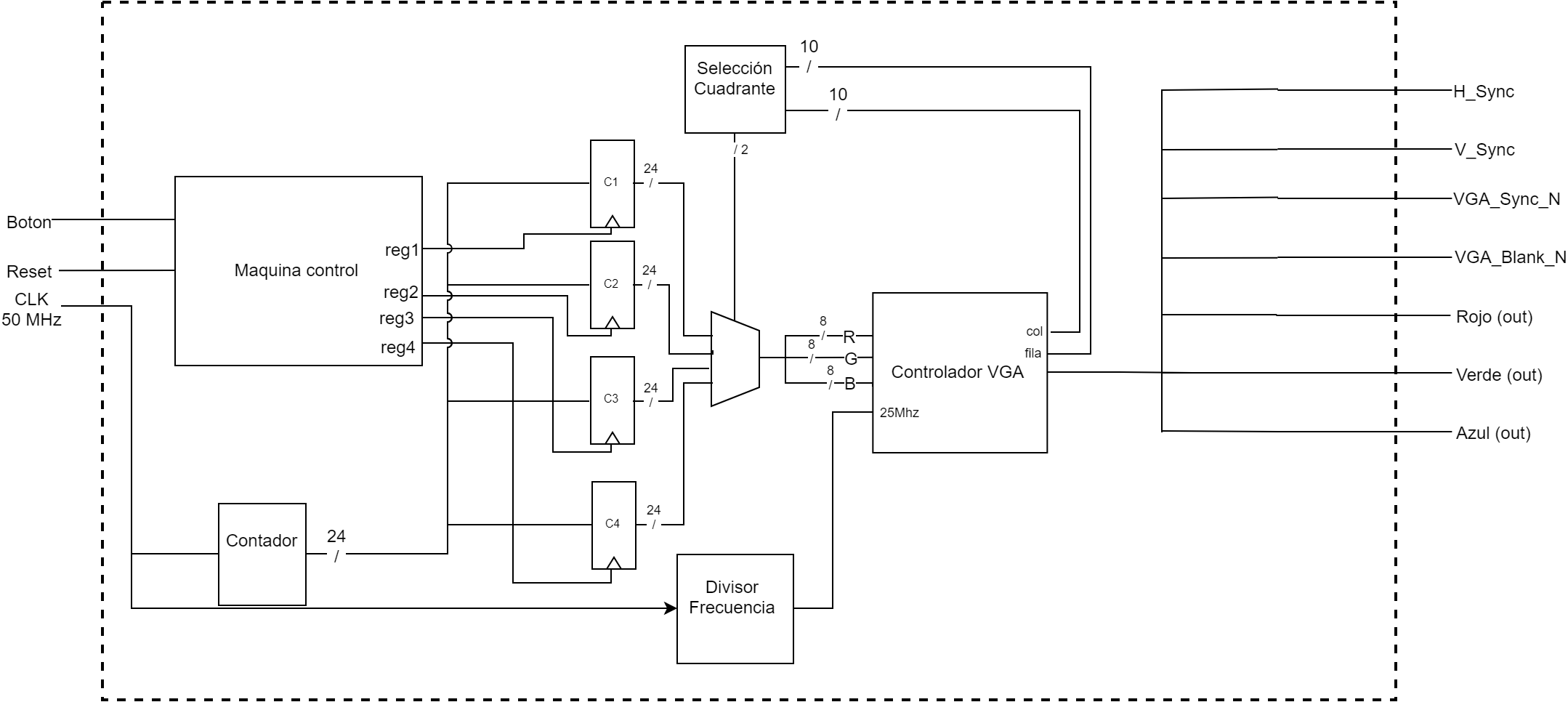
Se terminaron los niveles 4 y 5 de los diagramas de diseño modular. Y se discutió el funcionamiento del DAC dentro de la FPGA, al principio se pensó que él mismo era un elemento externo de las cuales recibe inputs (entradas) de la FPGA y funcionaba aparte. Pero se descubrió que con el mismo controlador de la FPGA trae incorporado el DAC (convertidor analogico a digital). Además los tres compañeros discutieron y diseñaron la máquina de estados la cual se encarga la cual tiene el rol de recibir los inputs externos del botón y reset para controlar el cuadrante y el color con que se debe pintar en la pantalla.





|  |  |  |
| --- | --- | --- |
| entrada | | |
| Estado | Botón | Siguiente Estado |
| E0 | 0 | E0 |
| E0 | 1 | E1 |
| E1 | 0 | E1 |
| E1 | 1 | E2 |
| E2 | 0 | E2 |
| E2 | 1 | E3 |
| E3 | 0 | E3 |
| E3 | 1 | E0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| salidas | | | | |
| Estado | reg1 | reg2 | reg3 | reg4 |
| E0 | 1 | 0 | 0 | 0 |
| E1 | 0 | 1 | 0 | 0 |
| E2 | 0 | 0 | 1 | 0 |
| E3 | 0 | 0 | 0 | 1 |



Grupo No. 1. Proyecto No. 5. Fecha: 09/28//2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Jorge Agüero |

**II. Minuta**

Objetivos de la sesión

Verificar en grupo si el diseño de los módulos es correcto.

Comenzar la implementación de la máquina de estados.

Verificar los módulos anteriores que se necesitan para este laboratorio.

El compañero arturo comenzó con la implementación de la máquina de estados, así como sus respectivas pruebas. Pero se vio en clases que el diseño propuesto de la máquina de estados no era correcto. Ya que se estaba metiendo mas información de la cuenta en dicha máquina, esto hizo que se perdiera el propósito de dicho diseño, el cual era controlar una bandera que dictaba en qué estado se encuentra, por ende en que cuadrante. Se volvió a diseñar la máquina de estados para que cumpliera con el propósito.

Grupo No. 1. Proyecto No. 5. Fecha: 10/03//2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Jorge Agüero |

**II. Minuta**

Objetivos de la sesión

1. Terminar los módulos faltantes, para la implementación del controlador VGA.
2. Realizar sus respectivos Testbench.

Se inició con la implementación de los distintos módulos necesarios para realizar el laboratorio así como sus respectivas pruebas. Se corrigió los módulos utilizados en laboratorios anterior para la implementación en el presente. El compañero Jorge reparar el modulo contador ya que el mismo no se encontraba correctamente implementado. El compañero arturo y luis realizaron los distintos Testbench de cada modulo. Al final se realizó la implemento del módulo principal que unía todos los módulos. Este dia no se pudieron realizar pruebas, ya que el equipo no tuvo tiempo de terminar el módulo principal, los mismos quedaron en realizarlo en la siguiente reunión, así como los Testbench faltantes..

Grupo No. 1. Proyecto No. 5. Fecha: 10/05//2018.

Nombre del Proyecto: Lógica Secuencial II

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Jorge Agüero |

**II. Minuta**

Objetivos de la sesión

1. Verificar el funcionamiento del proyecto.
2. Probar el funcionamiento en la FPGA.

El grupo instaló la implementación en la FPGA para realizar pruebas en la pantalla, pero la pantalla no mostró nada, se analizó el problema y se encontró(de nuevo) que la lógica de la FPGA es negativa por lo que si se usa un botón para él inputs del reset el mismo no va a mostrar nada en pantalla, ya que siempre va a estar activado por lo que nunca mostraba nada. Después de cambiar la entrada en un switch lo cual ya controlar la entrada. Posterior a esto se cambió el clock ya que no era compatible con la pantalla, esto hizo que funcionara correctamente.